

NOTIFICATION OF REASONS FOR REJECTION

Patent Application No.: 2001-007673

Date of Draft: January 15, 2004

Examiner: Shingo FUCHI 2933 4L00

Patent Attorney: Tsuyoshi SATO

Applied Article: Art. 1st para. of Art. 29, 2nd para. of Art. 29, and Art. 36

This application should be rejected for the reasons set forth below. Should the applicant have any arguments against the reasons, such arguments should be submitted within 60 days from the date of dispatch of this notification.

REASONS

1. Description in the scope of the claims of the present application does not meet the requirements provided under Sec. 2, para.6, Art. 36 of the Patent Law on the following points.

2. The inventions in the following claims of the present application should not be granted a patent under the provision of Sec. 3, 1st para., Art. 29 of the Patent Law since the inventions had been described in the publications listed below which were distributed in Japan or foreign countries, or had been publicly available through telecommunications network system, prior to the filing date of the subject application.

3. The inventions in the following claims of the present application should not be granted a patent under the provision of 2nd para., Art. 29 of the Patent Law since the inventions could have been easily accomplished prior to the filing date of the subject application by those who are skilled in the art on the basis of the inventions that had been described in the publications listed below which were distributed in Japan or foreign countries, or the inventions that had been available through telecommunications network system, prior to the filing date of the subject application.

NOTE (Refer to the references listed below.)

<Reason 1>

Claims 1-5, 10:

Remarks:

It is indefinite how the "malfunction detection circuit" and the "drive control

circuit" are each connected to the "first electric power terminal", the "second electric power terminal", and the "output terminal", which makes the operation of the integrated circuit device recited in Claim 1 indefinite.

The same applies to Claims 2-4, and 10. The same also applies to Claim 5 which recites the "switching circuit" in addition to the "malfunction detection circuit" and the "drive control circuit".

Claim 4

Remarks:

It is indefinite whether the "said outputting pad" corresponds to the "first outputting pad" or the "second outputting pad". In other words, the correspondency is indefinite.

Claim 5

Remarks:

Claim 5 recites that the "switching element" and the "serially connected impedance circuit and the switching circuit" are both connected between the output terminal and the electric power terminal, however, the manner of connection (serial or parallel) between the "switching element" and "the serially connected impedance circuit and the switching circuit" is indefinite. Hence, the operation of the integrated circuit device recited in Claim 5 is indefinite.

Claim 13

Remarks:

It is described that "a protective resistor element is connected between the outputting terminal and the constant-voltage circuit", however, what part between the output terminal and the constant-voltage circuit the resistor is connected to is not specifically given and thus is indefinite. Hence, the operation of the integrated circuit device recited in Claim 13 is indefinite.

<Reasons 2 and 3)

Claims 1 and 9

Reference 1

Remarks:

Figs. 1, 4 and 7 and the descriptions therefor in the reference illustrate an integrated circuit provided with T4 (corresponding to the "output terminal") to which one of excitation coils 32 (corresponding to the "external load") is connected, T3 (corresponding to the "first electric power terminal") to which a battery 2 is connected, T5 (corresponding to the "second electric power terminal") for grounding, a driving element 9 (corresponding to the "switching element") which is connected between T4 and T3, a current detecting resistor 800 (corresponding to the

"impedance circuit") which is connected between T4 and T5, a comparator 840 (corresponding to the "malfunction detection circuit"), and a first driving circuit 6 (corresponding to the "drive control circuit") for driving the driving element 9.

Claim 2

Reference 2

Remarks:

Figs. 1, 4 and 7 and the descriptions therefor in Reference 1 illustrate an integrated circuit provided with T4 (corresponding to the "second output terminal") and T5 (corresponding to the "first electric power terminal") to which one of the excitation coils 32 (corresponding to the "external load") is connected, T3 (corresponding to the "electric power terminal") to which the battery 2 is connected, a driving element 10 (corresponding to the "switching element") which is connected between T5 and T3, the driving element 9 (corresponding to the "impedance circuit") which is connected between T4 and T3, the comparator 840 (corresponding to the "malfunction detection circuit"), and a second driving circuit 7 (corresponding to the "drive control circuit") for driving the driving element 10.

Claims 10 and 11

Reference 2

Remarks:

Fig. 4 and the description therefor in Reference 2 illustrate an integrated circuit provided with a terminal 20 (corresponding to the "output terminal") to which one of the terminals of an electrical load L (corresponding to the "external load") is connected, a terminal 22 (corresponding to the "electric power terminal") for grounding, an output transistor 1 (corresponding to the "switching element") which is connected between the terminal 20 and the terminal 22, a current detecting transistor 2 (corresponding to the "malfunction detection circuit"), a terminal 24 and a resistor R2 for supplying gate voltage and a transistor 8 (corresponding to the "drive control circuit"), and a current mirror circuit 10 (corresponding to the "constant-voltage circuit"), which is connected between the terminal 20 and the terminal 22.

Moreover, the current mirror circuit 10 is constituted of transistors 10a and 10b, and a constant-current element 10c, and in addition, the current mirror circuit 10, in view of its structure, is acknowledged to operate in a condition where voltage is imposed on the drive control circuit and the transistor 9 is conducted.

<Reason 3>

Claims 3 and 4

Reference 1

Remarks:

In the invention described in Reference 1, how a package is specifically sealed is merely a matter of design that a skilled artisan would be able to properly prepare. Further, individual terminals of an integrated circuit are generally acknowledged to be connected to individual pads, respectively.

As to the inventions defined in the claims other than the ones pointed out in this notification, no reasons for rejection are found so far. In the event reasons for rejection are newly found, another notification of reasons for rejection will be issued.

LIST OF REFERENCES

1. JP10-174310
2. JP10-335998

Results of the of prior art search:

Technical field of search IPC Version 7
H01L 27/04
H01L 21/822
G01R 31/02

Prior art documents:

JP02-140964
JP05-326846
JP07-084655
JP10-145965

The results of prior art search set forth above do not constitute the reasons for rejection.

If you have any inquiries on the present notification of reasons for rejection (eg. errors in publication numbers), or if an interview is desired to be held, such as for technological explanation, please make a contact with the person named below.

3rd Division of Patent Examination; Semiconductor Integrated Circuit
Examiner: Shingo FUCHI
Telephone 03-3581-1101, Extension 3496
Facsimile 03-3501-0673

拒絶理由通知書

事務所担当者 堀江

特許出願の番号

特願2001-007673

起案日

平成16年 1月15日

特許庁審査官

淵 真悟

2933 4L00

特許出願人代理人

佐藤 強 様

適用条文

第29条第1項、第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

2. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

3. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

<理由1について>

- ・請求項 1～5、10
- ・備考

「異常検出回路」と「駆動制御回路」が、それぞれ「第1の電源端子」、「第2の電源端子」、「出力端子」の各端子とどのように接続されているのか不明瞭であるから、請求項1に記載された集積回路装置がどのような動作となるのか不明である。

なお、請求項2～4、10についても同趣旨である。また、請求項5については、「異常検出回路」と「駆動制御回路」だけではなく、さらに「開閉制御回路

」についても同趣旨である。

・請求項 4

・備考

「前記出力用パッド」が、「第1の出力用パッド」を指すのか、「第2の出力用パッド」を指すのか、対応関係が不明瞭である。

・請求項 5

・備考

請求項5には、「スイッチング素子」と「直列に接続されたインピーダンス回路およびスイッチ回路」とは、共に出力端子と電源端子との間に接続されていることが記載されているが、「スイッチング素子」と「直列に接続されたインピーダンス回路およびスイッチ回路」とが、どのような関係で接続されているのか（直列なのか並列なのか等）不明瞭であるから、請求項5に記載された集積回路装置がどのような動作となるのか不明である。

・請求項 13

・備考

「前記出力端子と前記定電圧回路との間に、保護用の抵抗素子が接続されている」と記載されているが、具体的に、出力端子と定電圧回路の間のどの部分に抵抗が接続されているのか不明瞭であるから、請求項13に記載された集積回路装置がどのような動作となるのか不明瞭である。

<理由2、3について>

・請求項 1、9

・引用文献等 1

・備考

引用文献の第1、4、7図及びそれらの説明箇所には、励磁コイル32（「外部負荷」に相当）の一方が接続されるT4（「出力端子」に相当）と、バッテリー2が接続されるT3（「第1の電源端子」に相当）と、接地されるT5（「第2の電源端子」に相当）と、T4とT3の間に接続された駆動素子9（「スイッチング素子」に相当）と、T4とT5の間に接続された電流検出抵抗800（「インピーダンス回路」に相当）と、コンパレータ840（「異常検出回路」に相当）と、駆動素子9を駆動する第1の駆動回路6（「駆動制御回路」に相当）とを有する集積回路が記載されている。

・請求項 2

・引用文献等 1

・備考

引用文献1の第1、4、7図及びそれらの説明箇所には、励磁コイル32（「外部負荷」に相当）の一方が接続されるT4（「第2の出力端子」に相当）とT5（「第1の出力端子」に相当）と、バッテリー2が接続されるT3（「電源端子」に相当）と、T5とT3の間に接続された駆動素子10（「スイッチング素子」に相当）と、T4とT3の間に接続された駆動素子9（「インピーダンス回路」に相当）と、コンパレータ840（「異常検出回路」に相当）と、駆動素子10を駆動する第2の駆動回路7（「駆動制御回路」に相当）とを有する集積回路が記載されている。

- ・請求項 10、11
- ・引用文献等 2
- ・備考

引用文献2の第4図及びその説明箇所には、電気負荷L（「外部負荷」に相当）の一方の端子が接続される端子20（「出力端子」に相当）と、接地される端子22（「電源端子」に相当）と、端子20と端子22の間に接続される出力トランジスタ1（「スイッチング素子」に相当）と、電流検出用トランジスタ2（「異常検出回路」に相当）と、ゲート電圧を供給する端子24及び抵抗器R2とトランジスタ8（「駆動制御回路」に相当）と、端子20と端子22の間に接続されたカレントミラー回路10（「定電流回路」に相当）とを有する集積回路が記載されている。

また、カレントミラー回路10は、トランジスタ10aと10bと定電流素子10cから構成されている。なお、カレントミラー回路10は、その構成から、駆動制御回路に電圧が与えられ、トランジスタ9が導通している場合に動作するものと認められる。

<理由3について>

- ・請求項 3、4
- ・引用文献等 1
- ・備考

引用文献1に記載された発明において、具体的にどのようにパッケージに封止するかは、当業者が適宜設定しうる設計的事項に過ぎない。そして、集積回路の各端子は、一般的に、各パッドに接続されるものと認められる。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開平10-174310号公報

2. 特開平10-335998号公報

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L 27/04
 H01L 21/822
 G01R 31/02

・先行技術文献 特開平02-140964号公報
 特開平05-326846号公報
 特開平07-084655号公報
 特開平10-145965号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ(例: 引用文献の番号違い等)、
または技術説明等の面接の御希望がございましたら下記までご連絡下さい。

特許審査第三部 半導体集積回路

審査官 刈 真悟

TEL. 03(3581)1101 内線3496

FAX. 03(3501)0673